

سوالات استخدامی : طراحی خودکار مدارهای دیجیتال

۱- پیاده‌سازی نمونه اولیه، به معنی است.

- ۱. طراحی انتزاعی
- ۲. تحقق یک طرح بصورت فیزیکی
- ۳. برطرف شدن اشکالات احتمالی
- ۴. رسم طرح شماتیک

۲- در کدام روش ساخت تراشه، هزینه و زمان ساخت از همه بیشتر است؟

- ۱. نیمه سفارشی
- ۲. تمام سفارشی
- ۳. استفاده از مدارات برنامه‌پذیر
- ۴. استفاده از قطعات استاندارد

۳- در نمودار Y، حرکت از نمایش ساختاری به سمت نمایش هندسی را گویند.

- ۱. سنتز
- ۲. تحلیل
- ۳. تولید
- ۴. استخراج

۴- بطور خودکار از روی تمثیل از طرح، تمثیل دیگری را ایجاد می‌کنند.

- ۱. ابزارهای سنتز
- ۲. شبیه‌سازها
- ۳. ابزارهای طراحی مدارات
- ۴. ابزارهای رسم شماتیک

۵- کدام نوع از حافظه‌های زیر، با تابش نور ماورای بنفش (UV) به مدت ۵ تا ۱۵ دقیقه پاک می‌شود.

- ۱. PROM
- ۲. EEPROM
- ۳. ROM
- ۴. EPROM

۶- ارزان‌ترین و کوچکترین قطعه برنامه‌پذیر است که نوعاً می‌تواند جایگزین حداکثر ۲۰۰ گیت NAND از نوع TTL یا ۴۰۰۰ تا از نوع CMOS گردد.

- ۱. SPLD
- ۲. CPLD
- ۳. EPLD
- ۴. PEEL

۷- در ساخت PLA با فناوری دوقطبی بجای یک صفحه AND و یک صفحه OR، دو صفحه وجود دارد.

- ۱. NOR
- ۲. XOR
- ۳. NAND
- ۴. XNOR

۸- کدام بخش در یک برنامه VHDL، رابطه بین سیگنال‌های ورودی و خروجی را بیان می‌کند.

- ۱. Entity
- ۲. Architecture
- ۳. VHD
- ۴. Input/Output

۹- دستور زیر، منجر به ایجاد چه شکل موجی خواهد شد.

`aa <= NOT aa AFTER 20 us WHEN NOW <=1000 us else '0'`

۱. یک شکل موج مربعی با تناوب ۲۰ میکروثانیه به مدت ۱۰۰۰ میکرو ثانیه
۲. یک شکل موج مربعی با تناوب ۴۰ میکروثانیه به مدت ۱۰۰۰ میکرو ثانیه
۳. یک شکل موج مربعی با تناوب ۱۰ میکروثانیه به مدت ۱۰۰۰ میکرو ثانیه
۴. یک شکل موج مربعی با تناوب ۲۰ میکروثانیه به مدت ۲۰۰۰ میکرو ثانیه

۱۰- وقتی می‌خواهیم از یک مدار توصیف شده، یک نمونه به صورت مؤلفه بسازیم، از چه کلمه کلیدی باید استفاده کنیم؟

۱. Entity
۲. Instance
۳. Component
۴. Port Map

۱۱- وقتی می‌خواهیم یک مدار را به صورت پارامتری تعریف کرده و سپس در هنگام ایجاد نمونه، مقدار پارامترها را تعیین کنیم از چه دستوری استفاده می‌کنیم.

۱. Parameter
۲. Template
۳. Pattern
۴. Generic

۱۲- برای مدل‌سازی ترتیبی از چه ساختاری در **VHDL** استفاده می‌شود؟

۱. پردازش (Process)
۲. ایجاد (Generate)
۳. ترتیب (Sequence)
۴. ترکیب (Combine)

۱۳- در چه صورت، دستورات داخل پردازش به صورت یک حلقه دائم تکرار می‌شود و برای توقف آن، کدام دستور بکار گرفته می‌شود.

۱. اگر لیست حساسیت وجود نداشته باشد، دستور `break`
۲. اگر لیست حساسیت دارای بیش از یک سیگنال باشد، دستور `wait`
۳. اگر لیست حساسیت وجود نداشته باشد، دستور `wait`
۴. اگر لیست حساسیت دارای بیش از یک سیگنال باشد، دستور `break`

۱۴- کدام دستور در داخل ساختار **loop**، باقیمانده دستورات داخل **loop** را رها کرده و به تکرار بعدی **loop** می‌رود.

۱. Continue
۲. break
۳. exit
۴. next

۱۵- برای بیان اینکه «هیچ عملی اتفاق نمی‌افتد» کدام دستور مورد استفاده قرار می‌گیرد؟

۱. NOP
۲. nothing
۳. null
۴. none

۱۶- برای تعریف نوع جدید کاربر تعریف، که بتواند محدوده اعداد ۵۰- تا ۱۲۰+ را پوشش دهد، کدام تعریف درست است؟

۱. type custom is from -50 to +120

۲. type custom is range(-50,+120)

۳. type custom is range -50 to +120

۴. type custom is enum(-50,+120)

۱۷- تعاریف زیر را در نظر بگیرید:

```
type MATRIX is array (integer range <>) of integer;
```

```
variable MATRIX8 : MATRIX (2 downto -8) :=
```

```
(3,1,8,14,9,5,6,7,2,25,0);
```

آنگاه مقدار **MATRIX8[0]** برابر است با:

۸ .۴

۱۴ .۳

۷ .۲

۶ .۱

۱۸- کدام گزینه در مورد تبدیل نوع، صحیح است؟

۱. تبدیل بین انواعی که اصالتاً از یک نوع هستند، امکان پذیر است.

۲. تبدیل بین انواع آرایه‌ای بشرط داشتن طول برابر و عناصر هم‌نوع (یا تبدیل پذیر) ممکن است.

۳. انواع شمارشی نمی‌توانند تبدیل شوند.

۴. همه موارد صحیح می‌باشند.

۱۹- تعریف آرایه زیر را در نظر بگیرید:

```
type MYARR1 is array (-2 to 4) of integer;
```

آنگاه مقداری که خصیصه‌ی **MYARR1 'high** برمی‌گرداند، برابر است با:

۶ .۴

۷ .۳

-۲ .۲

۴ .۱

۲۰- توضیح زیر، مربوط به کدام نوع از سوئیچ‌های مبتنی بر **SRAM** در **FPGA** ها است؟

«یک ترانزیستور که امکان اتصال دو رشته سیم متقاطع را فراهم می‌کند. در صورتی که ترانزیستور خاموش باشد، دو رشته

سیم (بدون اتصال به یکدیگر) از روی هم عبور کرده‌اند.»

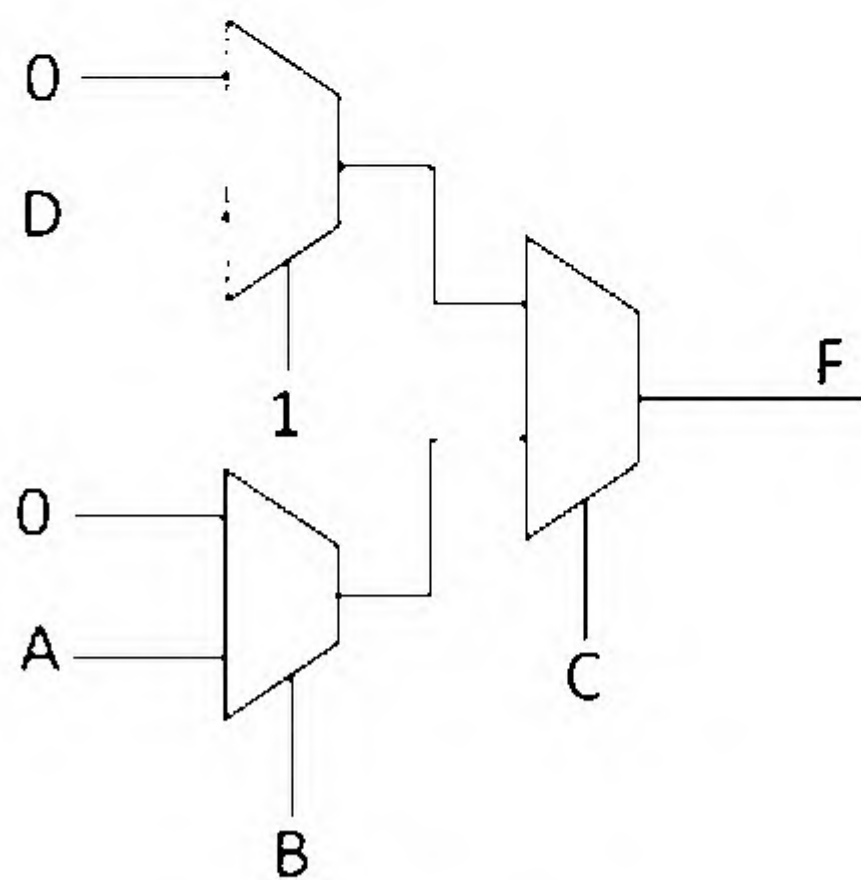
۱. نقطه تقاطع

۲. نقطه شکست

۳. همه سویه

۴. انتخاب کننده

۲۱- تابع خروجی انتخاب کننده زیر برابر است با: (علامت ' به معنی نقیض است)



$$F(A, B, C, D) = C'D + ABC \quad ۲.$$

$$F(A, B, C, D) = DC + AC \quad ۴.$$

$$F(A, B, C, D) = D + A'BC \quad ۱.$$

$$F(A, B, C, D) = D'B + A'B \quad ۳.$$

۲۲- کدام گزینه، صحیح است؟

۱. FPGA ها نسبت به CPLD ها تعداد بلوک، فلیپ فلاپ و گیت کمتری دارند.
۲. FPGA ها عموماً مبتنی بر EEPROM می باشند ولی CPLD ها عموماً مبتنی بر RAM می باشند.
۳. CPLD ها دارای تأخیر انتشاری کمتری نسبت به FPGA ها می باشند.
۴. CPLD ها برای طراحی فوق العاده پیچیده بکار می روند در حالی که FPGA ها نمی توانند در این طراحی ها بکار روند.

۲۳- ساختار زیر، مربوط به کدام نوع سازمان دهی بلوک های منطقی در FPGA ها می باشد.

۱. انبوه دروازه ها
۲. PLD سلسه مراتبی
۳. ساختار سطری
۴. آرایه متقارن

۲۴- کدام یک، جزء شرکت های تولید کننده FPGA نیست؟

۱. XILINX
۲. ALTERA
۳. QUARTUS
۴. ACTEL

سوالات تشریحی

- ۱- فناوری گیت شناور برای ساخت EPLD ها را به طور کامل توضیح دهید.
- ۲- شکل کلی دستور انتساب سیگنال انتخابی (WITH....SELECT....WHEN) را توضیح داده و یک مالتی پلکسر ۴ به ۱ را با استفاده از این ساختار به زبان VHDL پیاده سازی نمایید.
- ۳- یک طراحی سلسله مراتبی را برای یک مدار جمع کننده ۴ بیتی با استفاده از زبان VHDL ارائه دهید.
- ۴- روش های مختلف ساخت سوئیچ های برنامه پذیر را نام برده و دو مورد را به طور کامل، تشریح نمایید.
- ۵- یک ضرب کننده دوبیتی را با استفاده از زبان VHDL پیاده سازی نمایید.

شماره سوال	پاسخ صحیح
1	ب
2	ب
3	ج
4	الف
5	د
6	الف
7	ج
8	ب
9	ب
10	ج
11	د
12	الف
13	ج
14	د
15	ج
16	ج
17	د
18	د
19	الف
20	الف
21	ب
22	ج
23	ب
24	ج

سوالات تشریحی

۱- پاسخ در صفحه ۴۴ از فصل دوم منبع درسی.

۲- پاسخ در صفحه ۶۹ و ۷۰ از فصل ۳ منبع درسی.

۳- پاسخ در صفحه ۸۴ از فصل ۳ منبع درسی.

۴- پاسخ در صفحه ۲۷۷ از فصل ۶ منبع درسی.

۵- پاسخ در صفحه ۱۹۷ از فصل ۴ منبع درسی.

۱- کدام گزینه بهترین روش برای تولید نمونه اولیه مدارهای دیجیتال است؟

۱. استفاده از قطعات برنامه پذیر (مانند FPGA)
۲. با استفاده از قطعات استاندارد
۳. روش تمام سفارشی Full custom
۴. روش نیمه سفارشی Semi custom

۲- توصیف زیر، مربوط به کدام شیوه تولید یک سیستم طراحی شده می باشد؟

«معمولاً برای مدارات با تعداد تولید زیاد، مقرون به صرفه است. این روش، هزینه و زمان زیادی می برد و برای ساخت نمونه اول، هزینه فوق العاده ای باید صرف شود.»

۱. استفاده از قطعات استاندارد
۲. تمام سفارشی
۳. روش نیمه سفارشی
۴. استفاده از قطعات برنامه پذیر

۳- در نمودار Y، انتقال طرح از حوزه رفتاری (در هر سطح) به همان سطح از حوزه ساختاری را گویند.

۱. تحلیل
۲. سنتز
۳. تولید
۴. پالایش

۴- کدام یک از موارد زیر صحیح است.

مورد اول: ظرفیت منطقی CPLD ها نسبت به SPLD ها بالاتر است.

مورد دوم: EPROM بطور خاص تنها یک بار قابل برنامه ریزی است.

مورد سوم: EEPROM بوسیله همان دستگاه پروگرامر و با سیگنال الکتریکی پاک می شود.

۱. فقط موارد اول و دوم
۲. فقط موارد اول و سوم
۳. فقط موارد دوم و سوم
۴. موارد اول و دوم و سوم

۵- فقط یک صفحه (سطح) قابل برنامه ریزی دارد، (تنها طبقه AND آن قابل برنامه ریزی و طبقه OR آن ثابت است).

۱. PAL
۲. PLA
۳. PROM
۴. EPROM

۶- کدام گزینه بزرگترین شرکت سازنده Fpga در جهان است؟

۱. Altra
۲. Actel
۳. Atmel
۴. Xilinx

۷- به طور کلی، به تراشه ای که امکان برنامه ریزی توسط کاربر را داشته باشد، گویند.

۱. سخت افزار
۲. سخت افزار نیمه سفارشی
۳. سخت افزار برنامه پذیر
۴. سخت افزار سفارشی

۸- کدام مورد جزو افزاره های منطقی قابل برنامه ریزی ساده (SPLD) است؟

۱. CPLD ۲. PAL ۳. FPGA ۴. MAX

۹- کدام نوع حافظه با تابش نور ماورای بنفش (UV) به مدت ۵ تا ۱۵ دقیقه پاک می شود.

۱. PROM ۲. EPROM ۳. EEPROM ۴. OTP

۱۰- در یک PLA اگر تعداد ورودی ۴ تعداد خروجی ۶ و تعداد گیت AND ۱۰ باشد، چه تعداد فیوز در سطح تراشه وجود دارد؟

۱. ۸۰ ۲. ۱۰۰ ۳. ۱۲۰ ۴. ۱۴۰

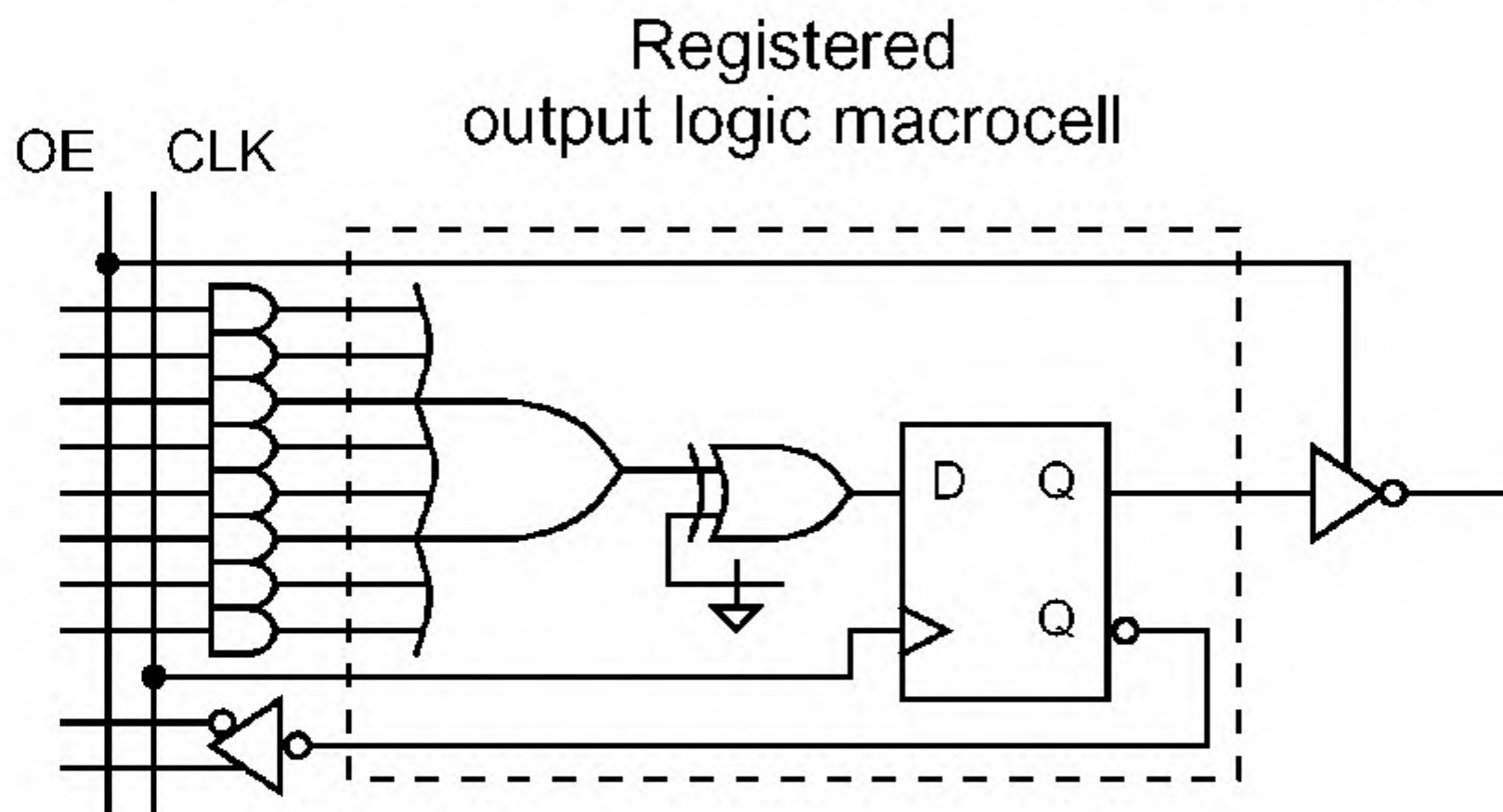
۱۱- PAL هایی که المان حافظه ندارند، و PAL هایی که خروجی ثبت شده دارند، نامیده می شوند.

۱. PAL ترکیبی - PAL ثابت ۲. PAL ترتیبی - PAL ترکیبی
۳. PAL فشرده - PAL ترکیبی ۴. PAL ترکیبی - PAL ترتیبی

۱۲- در کدام تکنولوژی مدار بصورت NAND-NAND پیاده سازی می شود؟

۱. PLD Bipolar ۲. PLD CMOS ۳. گیت شناور ۴. آنتی فیوز

۱۳- در شکل زیر در صورتی که فیوز پشت گیت XOR وصل باشد، این گیت چه نقشی دارد؟



۱. NOT ۲. AND ۳. OR ۴. بافر

۱۴- کدام نوع افزاره‌های منطقی از تکنولوژی گیت شناور استفاده می‌کنند و امکان پاک شدن پس از برنامه ریزی را دارا هستند؟

۱. CMOS PLD ۲. EPLD ۳. Bipolar PLD ۴. S-GAL

۱۵- در یک برنامه VHDL تعداد و نام سیگنالهای ورودی و خروجی در کدام قسمت معرفی می‌شوند؟

۱. Architecture ۲. Process ۳. Variables ۴. Entity

۱۶- توصیف زیر، مربوط به کدام نوع آرایش بلوک‌های منطقی برنامه پذیر در ساخت FPGAها می‌باشد.

«در این روش، بلوک‌های منطقی برنامه‌پذیر بصورت یک آرایه دوبعدی سازماندهی شده و خطوط اتصال بصورت افقی و عمودی از بین آنها عبور می‌کند و سوئیچ‌های برنامه‌پذیر امکان برقراری اتصال بین خطوط سیمی و بین بلوک‌ها و خطوط را فراهم می‌کند.»

۱. ساختار سطری ۲. آرایه متقارن ۳. آرایه نامتقارن ۴. انبوه دروازه‌ها

۱۷- کدام گزینه درست است.

۱. برخی از FPGAها بطور نامحدودی قابل پیکربندی هستند.
۲. استفاده از FPGA به عنوان جایگزین تعدادی تراشه SSI، اندازه بورد را افزایش می‌دهد.
۳. هزینه زیاد، عیب اصلی استفاده از FPGA در مقابل روش سنتی ساخت نمونه اولیه می‌باشد.
۴. مشکل اصلی ساخت ماشین‌های محاسباتی با استفاده از FPGAها، سرعت پایین آنها (بدلیل عدم پشتیبانی از موازات) است.

۱۸- برنامه زیر توصیف از گیت است.

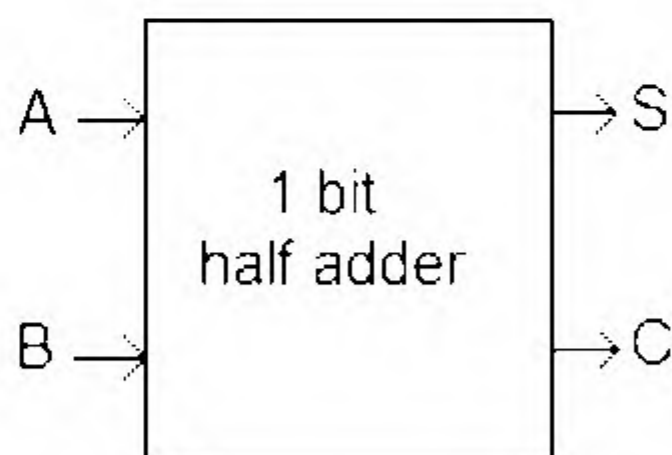
```
X <- A and (not B) ;
Y <- (not A) and B;
Z <- X or Y;
```

۱. رفتاری، XNOR ۲. ساختاری، XNOR ۳. ساختاری، XOR ۴. رفتاری، XOR

۱۹- در زبان VHDL، یک سیستم دیجیتال در بالاترین سطح شامل یک است.

۱. PORT ۲. ENTITY ۳. ARCHITECTURE ۴. BODY

۲۰- فرض کنید بخواهیم یک نیم جمع کننده را به زبان VHDL توصیف کنیم. تعریف Entity آن که بتواند نمودار بلوکی شکل زیر را به درستی توصیف کند، کدام گزینه است.



۲. entity halfadder is

port (A , B : in bit ;

S , C : out bit);

end halfadder;

۴. entity halfadder is

port (A , B : inout bit ;

S , C : outin bit);

end halfadder;

۱. entity halfadder is

port (A , B : out bit ;

S , C : in bit);

end halfadder;

۳. entity halfadder is

port (A , S : in bit ;

B , C : out bit);

end halfadder;

۲۱- کدام یک از شناسه های زیر، به عنوان شناسه اصلی در VHDL معتبر نیست.

۴. X10

۳. gate_input

۲. Myind_

۱. Myind_1

۲۲- با تعریف زیر، یک نوع آرایه ای با ابعاد ایجاد می شود.

type MyNewType **is** array(std_ulogic,std_ulogic) **of** std_logic;

۴. 4×4

۳. 2×2

۲. 16×16

۱. 9×9

Entity test is

```
Port ( data_in: in std_logic;
      clock:    in std_logic;
      data_out: out std_logic);
```

end dff;

Architecture behv of test is

begin

```
process (data_in, clock)
```

```
begin
```

```
if (clock='1' and clock'event) then
```

```
    data_out <= data_in;
```

```
end if;
```

```
end process;
```

```
end behv;
```

۲. فلیپ فلاپ D حساس به لبه بالا رونده

۱. فلیپ فلاپ T حساس به لبه بالا رونده

۴. فلیپ فلاپ JK حساس به لبه بالا رونده

۳. فلیپ فلاپ JK حساس به لبه پایین رونده

۲۴- کدام گزینه در مورد پردازنده‌ها (Process) در VHDL صحیح است؟

۱. می‌توان به طور همزمان هم لیست حساسیت داشت و هم دستور wait.

۲. اگر لیست حساسیت وجود نداشته باشد، بایستی از دستور wait استفاده نمود.

۳. می‌توان هیچ کدام از لیست حساسیت‌ها و دستور wait را نداشت.

۴. پردازنده، یک ساختار اساسی در مدلسازی ساختاری است.

سوالات تشریحی

۱- مزایای استفاده از مدارات برنامه پذیر را عنوان کنید. (ذکر حداقل ۶ مورد الزامی است).

۲- منطق آرایه‌ای عمومی (GAL) را به طور کامل توضیح دهید.

۳- تابعی بنویسید که بررسی کند آیا مقدار VALUE در بین دو محدوده min و max قرار دارد یا خیر. و مقدار را محدود شده به دو مقدار بالا و پایین برگرداند.

۴- انواع سوئیچ‌های برنامه پذیر مبتنی بر SRAM را نام برده و دو مورد را به طور کامل توضیح دهید.

شماره سوال	پاسخ صحیح
1	الف
2	ب
3	ب
4	ب
5	الف
6	د
7	ج
8	ب
9	ب
10	د
11	د
12	الف
13	الف
14	ب
15	د
16	ب
17	الف
18	د
19	ب
20	ب
21	ب
22	الف
23	ب
24	ب

سوالات تشریحی

۱- پاسخ در صفحات ۲۷ الی ۲۹ از فصل اول منبع درسی.

۲- پاسخ در صفحه ۴۶ از فصل دوم منبع درسی.

۳- صفحه ۱۷۱ کتاب مرجع

۴- پاسخ در صفحه ۶۸ از فصل ۳ منبع درسی.

۵- ص ۱۹۴

۱- کدام مورد از مزایای طراحی خودکار سیستمهای دیجیتال نیست؟

۱. درگیر شدن طراح با جزئیات طراحی
۲. افزایش سرعت عرضه به بازار
۳. امکان ارائه طرح های بزرگ (پیچیده)
۴. کاهش هزینه طراحی

۲- کدام روش برای تولید تعداد بسیار زیاد مقرون به صرفه تر است؟

۱. با استفاده از قطعات استاندارد
۲. روش نیمه سفارشی Semi custom
۳. تمام سفارشی Full custom
۴. با استفاده از قطعات برنامه پذیر (مثل FPGA)

۳- کدام مورد، بهترین روش برای تولید نمونه اولیه است؟

۱. تمام سفارشی Full custom
۲. با استفاده از قطعات برنامه پذیر (مثل FPGA)
۳. با استفاده از قطعات استاندارد
۴. روش نیمه سفارشی Semi custom

۴- نمایش طرح با استفاده از معادلات و عبارات بولی جزو کدام روش نمایش و در کدام سطح انتزاع است؟

۱. هندسی - سطح فیزیکی
۲. رفتاری - سطح فیزیکی
۳. ساختاری - سطح منطقی
۴. رفتاری - سطح منطقی

۵- کدام گزینه در نمایش ساختاری یک طرح در سطح معماری استفاده می شود؟

۱. الگوریتم
۲. تراشه ها
۳. پردازنده
۴. انتقال ثبات

۶- انتقال طرح از حوزه ساختاری به سمت نمایش هندسی در همان سطح چه نامیده می شود؟

۱. سنتز
۲. تولید
۳. تحلیل
۴. پالایش

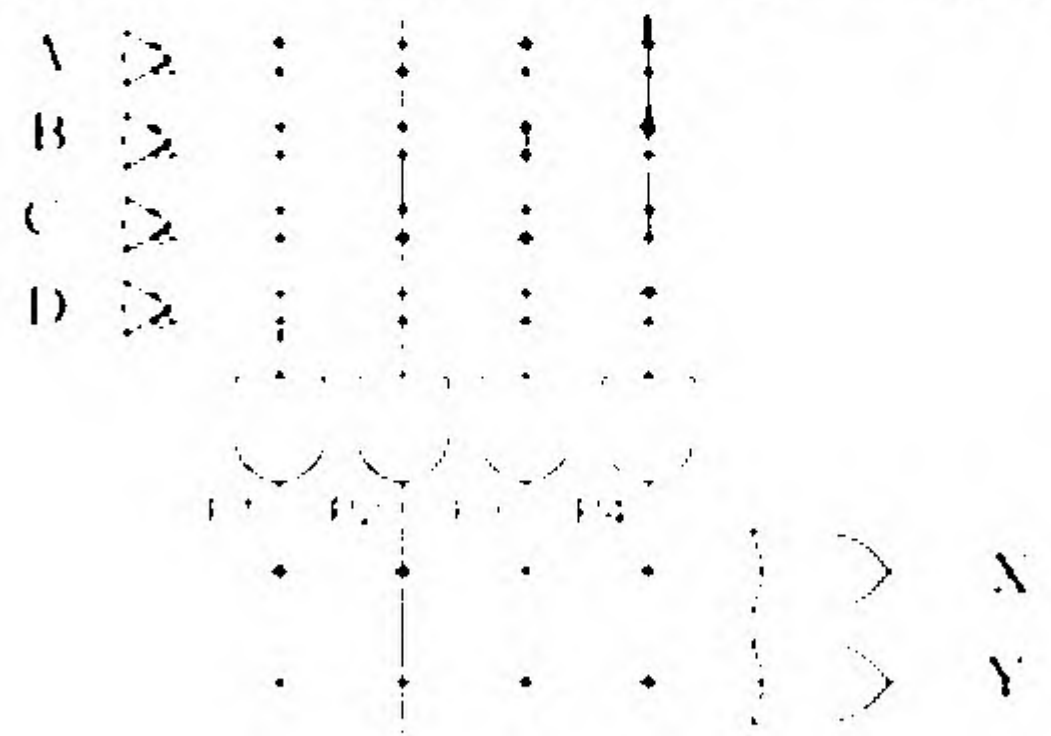
۷- کدام مورد جزو افزاره های منطقی قابل برنامه ریزی ساده (SPLD) است؟

۱. CPLD
۲. PAL
۳. FPGA
۴. MAX

۸- در یک PLA با ۵ ورودی و ۴ خروجی و ۸ گیت AND، چه تعداد فیوز صفحه AND تراشه وجود دارد؟

۱. ۳۲
۲. ۴۰
۳. ۸۰
۴. ۱۱۲

۹- در آرایه منطقی قابل برنامه ریزی (PLA) شکل زیر کدام گزینه خروجی صحیح را نشان می دهد.



۲. $X = A'C' + BD, Y = A + BD$

۱. $X = A'C' + BD, Y = AC' + BD$

۴. $X = A + A'C' + BD, Y = A + BD$

۳. $X = A + A'C' + BD, Y = AC' + BD$

۱۰- در مورد تراشه های آرایه منطق برنامه پذیر PLA کدام مورد صحیح است؟

۱. هم طبقه AND و هم طبقه OR آنها قابل برنامه ریزی است.

۲. فقط طبقه OR آنها قابل برنامه ریزی است.

۳. فقط برای مدارهای ترتیبی مناسب هستند.

۴. فقط طبقه AND آنها قابل برنامه ریزی است.

۱۱- کدام گزینه در مورد تکنولوژی گیت شناور غلط می باشد؟

۱. هر ترانزیستور دارای دو گیت (شناور و غیر شناور) است.

۲. اعمال ولتاژ بالا به گیت غیر شناور یک شارژ منفی در گیت شناور ایجاد می کند.

۳. شارژ گیت شناور باعث روشن شدن ترانزیستور می شود.

۴. شارژ گیت شناور در معرض نور ماورای بنفش تخلیه می شود.

۱۲- در کدام تکنولوژی مدار بصورت NAND-NAND پیاده سازی می شود؟

۱. PLD Bipolar

۲. PLD CMOS

۳. گیت شناور

۴. آنتی فیوز

۱۳- در یک توصیف VHDL قسمت Entity می باشد.

۱. رابطه بین سیگنال‌های ورودی و خروجی را مشخص می کند.
۲. برای معرفی سیگنال‌های ورودی و خروجی است.
۳. مشخص می کند ساختار مدار چگونه است.
۴. مشخص می کند عملکرد مدار بصورت رفتاری چگونه است.

۱۴- کدام گزینه نمی تواند به عنوان جهت یک سیگنال در قسمت port تعریف شود؟

۱. Inout ۲. In ۳. Wire ۴. Buffer

۱۵- برنامه VHDL زیر مربوط به توصیف چه مداری است و از چه نوع توصیفی استفاده می کند؟

```
ENTITY FA IS
PORT ( X, Y, Cin: IN BIT;
      S, Cout : OUT BIT );
END FA;
-----
ARCHITECTURE behav OF FA IS
  Signal A: BIT;
BEGIN
  A <= X xor Y;
  S <= Cin xor A;
  Cout <= (Cin AND A) OR (X AND Y);
END behav;
```

۱. نیم جمع کننده، توصیف رفتاری
۲. نیم جمع کننده، توصیف ساختاری
۳. تمام جمع کننده، توصیف ساختاری
۴. تمام جمع کننده، توصیف رفتاری

۱۶- مقدار 'X' در نوع STD_LOGIC نشان دهنده کدام نوع می باشد؟

۱. مقدار اولیه داده نشده ۲. مقدار نا شناخته ۳. امپدانس بالا ۴. صفر ضعیف

۱۷- دستور When در زبان VHDL چه کاربردی دارد؟

۱. انتساب سیگنال شرطی
۲. ایجاد حلقه در سیگنالها
۳. انتساب همروند سیگنال
۴. ایجاد تاخیر در سیگنالها

۱۸- برنامه VHDL زیر مربوط به توصیف چه مداری می باشد؟

```
ENTITY M IS
PORT ( s, w0, w1 : IN std_logic;
      f : OUT std_logic );
END Mux21;
-----
ARCHITECTURE behav OF M IS
BEGIN
    f <= w0 WHEN s='0' ELSE w1;
END behav;
```

۱. نیم جمع کننده یک بیتی

۲. مالتی پلکسر 2 به 1

۳. انکدر 2 به 1

۴. دیکدر 1 به 2

۱۹- در زبان VHDL برای مدل کردن تاخیر گیتها از چه دستوری استفاده می شود؟

۱. Delay

۲. Elapsed time

۳. Transport

۴. AFTER

۲۰- دستور process در VHDL چه کاربردی دارد؟

۱. برای توصیف رفتاری با استفاده از جملات همروند

۲. برای توصیف رفتاری با استفاده از جملات ترتیبی

۳. برای توصیف ساختاری با استفاده از جملات همروند

۴. برای توصیف ساختاری با استفاده از جملات ترتیبی

۲۱- برای تولید مدارهای بالای 5000 گیت با حجم تولید زیر 10000 تراشه، کدام روش پیاده سازی باید انتخاب شود؟

۱. MPGA

۲. CPLD

۳. FPGA

۴. PALs anf PLAs

۲۲- کدام تکنولوژی اتصالی در حال اولیه اتصال باز است و وقتی برنامه ریزی می شود یک اتصال کوتاه با یک مقاومت کوچک می شود؟

۱. ترانزیستور مبتنی بر SRAM

۲. ترانزیستور مبتنی بر EEPROM

۳. فیوز

۴. آنتی فیوز

۲۳- در تراشه های شرکت Xilinx از کدام آرایش بلوک های منطقی استفاده می شود؟

۱. آرایه متقارن

۲. ساختار سطری

۳. انبوه دروازه ها Sea of gates

۴. PLD سلسله مراتبی

۲۴- کدام نوع سوئیچ مبتنی بر SRAM امکان اتصال یکی از دو رشته سیم را به رشته سیم سوم فراهم می کنند؟

۱. نقطه تقاطع

۲. انتخاب کننده

۳. نقطه شکست

۴. همه سویه

۲۵- بلوکهای منطقی قابل پیکربندی (CLB) در تراشه های FPGA با چه نوع تکنولوژی برنامه ریزی می شوند؟

۱. آنتی فیوز

۲. فیوز

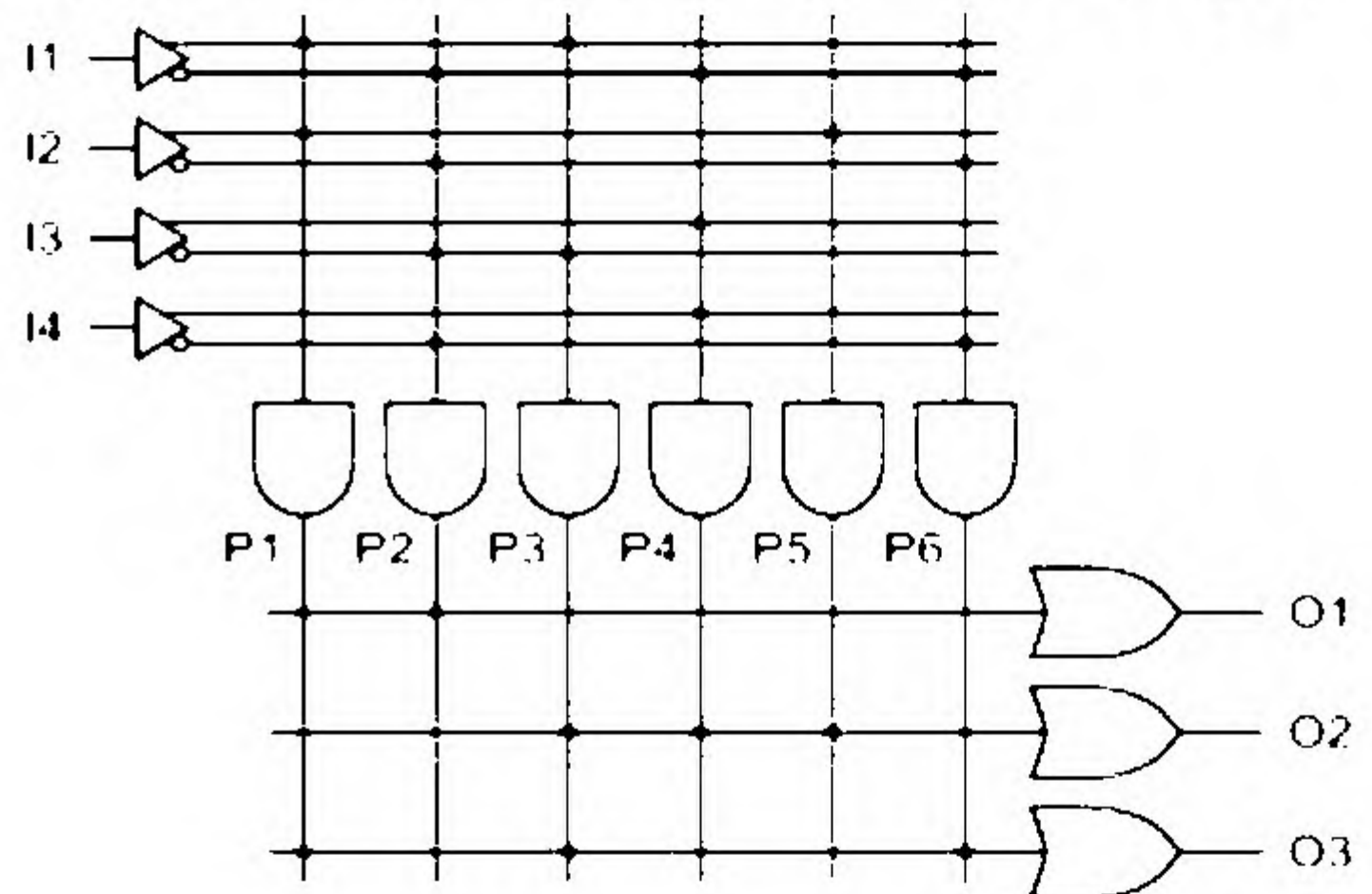
۳. ترانزیستور مبتنی بر SRAM

۴. ترانزیستور مبتنی بر EEPROM

سوالات تشریحی

۱- مزایای استفاده از مدارهای برنامه پذیر را نام ببرید.

۲- خروجی های مدار منطقی پیاده سازی شده در PLA زیر را بنویسید.



۳- تفاوت PAL با PLA چیست؟ انواع PAL را نام ببرید.

۴- برنامه VHDL توصیف کننده یک مالتی پلکسر 4 به 1 سه بیتی را بنویسید.

۵- تفاوت های تراشه های FPGA و CPLD با یکدیگر را نام ببرید.

شماره سوال	پاسخ صحیح
1	الف
2	ج
3	ب
4	ب
5	ب
6	ب
7	ب
8	ج
9	ج
10	الف
11	ج
12	الف
13	ب
14	ج
15	د
16	ب
17	الف
18	ب
19	د
20	ب
21	ج
22	د
23	الف
24	ب
25	ج

سوالات تشریحی

۱- صفحہ ۱۱

۲- صفحہ 21

۳- صفحہ ۲۳ و ۲۴

۴- صفحہ ۱۹۲

۵- صفحہ ۲۷۶

۱- کدام گزینه بهترین روش برای تولید نمونه اولیه مدارهای دیجیتال است؟

۱. استفاده از قطعات برنامه پذیر (مانند FPGA)

۲. با استفاده از قطعات استاندارد

۳. روش تمام سفارشی Full custom

۴. روش نیمه سفارشی Semi custom

۲- انتقال طرح از حوزه رفتاری به ساختاری در همان سطح چه نامیده میشود؟

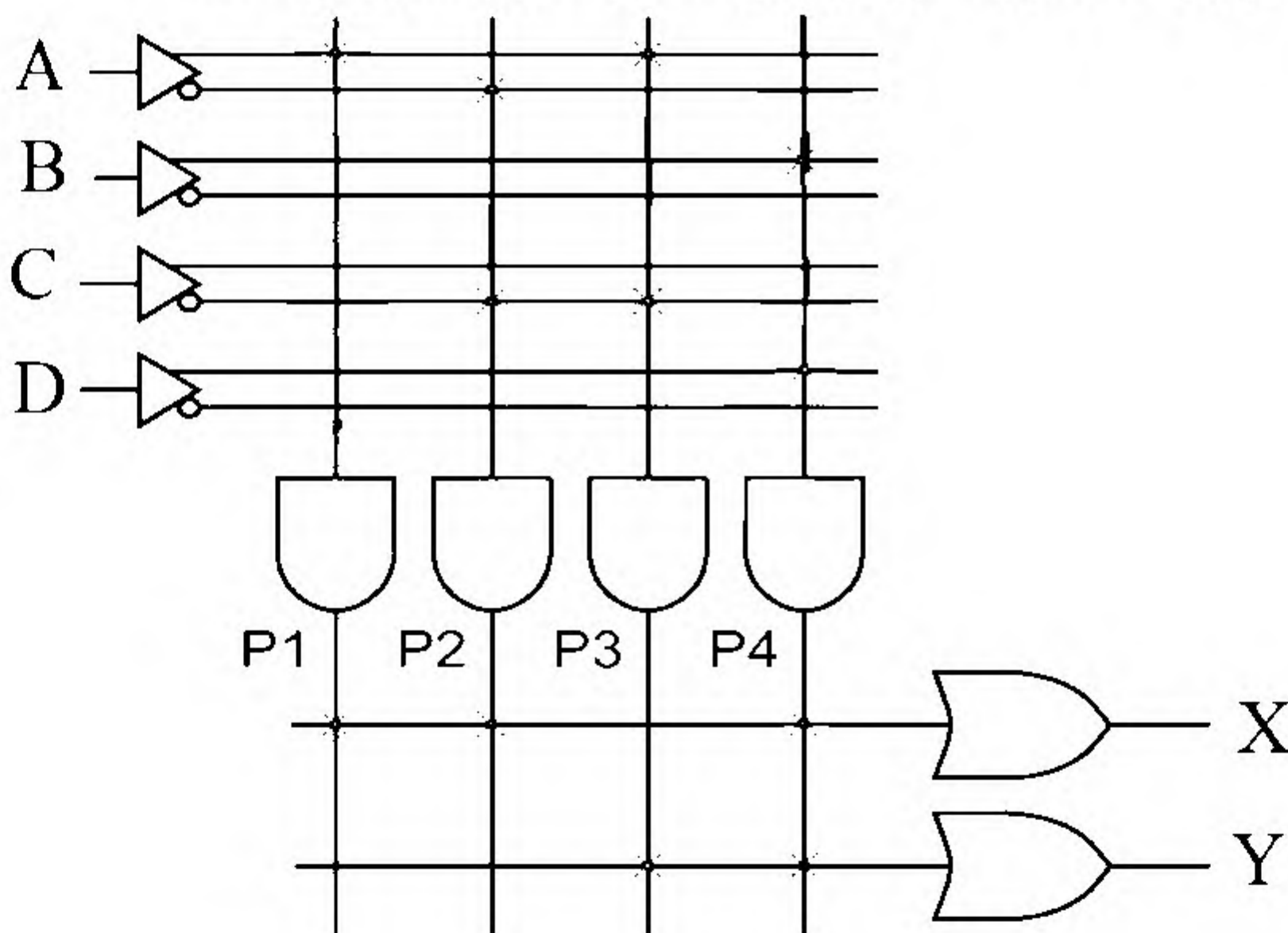
۱. تولید

۲. سنتز

۳. پالایش

۴. تحلیل

۳- در آرایه منطقی برنامه پذیر زیر کدام موارد خروجی های صحیح مدار را نشان می دهند؟



a) $X = A\bar{C} + \bar{A}BD$

b) $Y = A + B\bar{C}$

c) $X = A + \bar{A}\bar{C} + BD$

d) $Y = A\bar{C} + BD$

۱. a, b

۲. c, d

۳. a, c

۴. b, d

۴- در کدام تکنولوژی ساخت مدارهای دیجیتال، خروجی مدار بصورت NAND-NAND پیاده سازی می شود؟

۱. PLD دو قطبی Bipolar

۲. PLD CMOS

۳. گیت شناور

۴. آنتی فیوز

۵- کدام گزینه بزرگترین شرکت سازنده Fpga در جهان است؟

۱. Altra ۲. Actel ۳. Atmel ۴. Xilinx

۶- برای تولید مدارهای بالای ۵۰۰۰ گیت با حجم تولید زیر ۱۰۰۰۰ تراشه، کدام روش پیاده سازی انتخاب بهتری است؟

۱. MPGA ۲. FPGA ۳. CPLD ۴. SPLD

۷- کدام تکنولوژی اتصالی در حال اولیه اتصال باز است و وقتی برنامه ریزی می شود یک اتصال کوتاه با یک مقاومت کوچک می شود؟

۱. ترانزیستور مبتنی بر SRAM ۲. ترانزیستور مبتنی بر EEPROM

۳. فیوز ۴. آنتی فیوز

۸- کدام مورد از مزایای طراحی خودکار سیستمهای دیجیتال نیست؟

۱. افزایش سرعت عرضه به بازار
۲. امکان ارائه طرح های بزرگ (پیچیده)
۳. درگیر شدن طراح با جزئیات طراحی
۴. کاهش هزینه طراحی

۹- نوع داده استاندارد Bit_vector

۱. می تواند مقدار true یا false بگیرد.
۲. یک عدد در محدوده ای از اعداد صحیح است.
۳. می تواند یک عدد در محدوده ای از اعداد حقیقی را نگهداری کند.
۴. برداری از مقادیر بیتی است.

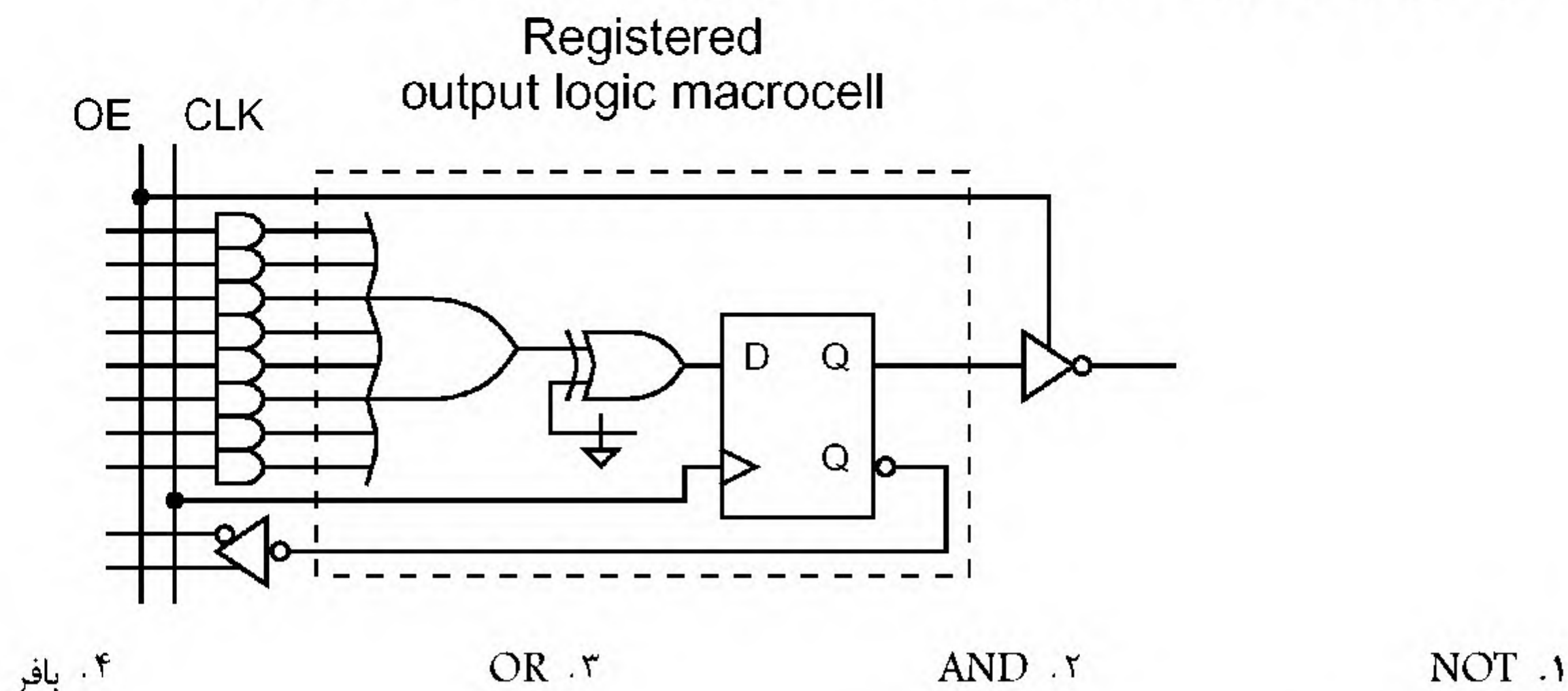
۱۰- در یک PLA اگر تعداد ورودی ۴ تعداد خروجی ۶ و تعداد گیت AND 10 باشد، چه تعداد فیوز در سطح تراشه وجود دارد؟

۱. ۸۰ ۲. ۱۰۰ ۳. ۱۲۰ ۴. ۱۴۰

۱۱- در مورد تراشه های منطق آرایه برنامه پذیر PAL کدام مورد صحیح است؟

۱. فقط طبقه AND آنها قابل برنامه ریزی است.
۲. فقط برای مدارهای ترتیبی مناسب هستند.
۳. هم طبقه AND و هم طبقه OR آنها قابل برنامه ریزی است.
۴. فقط طبقه OR آنها قابل برنامه ریزی است.

۱۲- در شکل زیر در صورتی که فیوز پشت گیت XOR وصل باشد، این گیت چه نقشی دارد؟



۱۳- کدام گزینه صحیح نیست؟

۱. قدرت پردازش FPGA بالاتر از CPLD هاست .
۲. FPGA ها برای طراحی های فوق العاده پیچیده دیجیتال مناسب هستند.
۳. CPLD ها تاخیر انتشار بیشتری نسبت به FPGA دارند.
۴. FPGA ها عموماً مبتنی بر RAM و CPLD ها مبتنی بر EEPROM هستند.

۱۴- در یک برنامه VHDL تعداد و نام سیگنالهای ورودی و خروجی در کدام قسمت معرفی می شوند؟

۱. Architecture
۲. Process
۳. Variables
۴. Entity

۱۵- در تراشه های شرکت Xilinx از کدام آرایش بلوک های منطقی استفاده می شود؟

۱. انبوه دروازه ها Sea of gates
۲. PLD سلسله مراتبی
۳. آرایه متقارن
۴. ساختار سطری

۱۶- در کدام تعریف حالت یک سیگنال، از آن سیگنال بعنوان خروجی نمی توان استفاده کرد؟

۱. OUT
۲. Buffer
۳. INOUT
۴. IN

۱۷- کدام گزینه توصیف رفتاری گیت NOR را نشان می دهد؟

۱. `Out <= (not in1) or (not in2);`
۲. `Out <= not(in1 and in2);`
۳. `Out <= not or (in1, in2) );`
۴. `Out <= not(in1 or in2);`

۱۸- برنامه زیر توصیف از گیت است.

```
X <= A and (not B);  
Y <- (not A) and B;  
Z <= X or Y;
```

۱. رفتاری، XNOR ۲. ساختاری، XNOR ۳. ساختاری، XOR ۴. رفتاری، XOR

۱۹- بعد از دستورات زیر چه مقداری در متغیر RESULT ذخیره می شود.

```
variable variable1: integer :=5;  
variable variable2: integer :=6;  
  
process  
begin, wait on TRIGGER;  
    variable1 <= variable2;  
    variable2 <= variable1 + variable2;  
    RESULT <= variable1 + variable2;  
end process;
```

۱. ۱۵ ۲. ۱۶ ۳. ۱۱ ۴. ۱۸

۲۰- در نوع داده std_logic سمبل 'Z' نشاندهنده چه مقداری برای یک سیگنال است؟

۱. بدون اهمیت ۲. بدون مقدار اولیه
۳. ناشناس ۴. مدار باز (امپدانس بالا)

۲۱- در پردازش زیر چه هنگامی دستور انتساب بدنه if اجرا می شود؟

```
process (CLK)
begin
    if (CLK'event and CLK = '0') then
        Q <= D;
    end if;
end process;
```

۱. سطح پایین CLK ۲. همیشه اجرا می شود. ۳. لبه پایین رونده CLK ۴. لبه بالا رونده CLK

۲۲- پردازش زیر پیاده سازی چه مداری است؟

```
process (Inp)
begin
    case Inp is
        when "00" => Z <= "0001";
        when "01" => Z <= "0010";
        when "10" => Z <= "0100";
        when "11" => Z <= "1000";
        when others => Z <= "XXXX";
    end case;
end process;
```

۱. دیکدر ۲ به ۴ ۲. انکدر ۴ به ۲ ۳. مالتی پلکسر ۴ به ۱ ۴. دی مالتی پلکسر ۱ به ۴

۲۳- نمایش طرح با استفاده از گیتها و فلیپ فلاپها جزو کدام روش نمایش سیستمهای دیجیتال است؟

۱. رفتاری ۲. ساختاری ۳. هندسی ۴. مدار منطقی

۲۴- کدام مورد جزو افزاره های منطقی قابل برنامه ریزی ساده (SPLD) نیست؟

۱. PLA ۲. PAL ۳. GAL ۴. MAX

Entity test is

```
Port ( data_in: in std_logic;  
      clock:    in std_logic;  
      data_out: out std_logic);
```

end dff;

Architecture behv of test is

begin

```
process (data_in, clock)
```

```
begin
```

```
if (clock='1' and clock'event) then
```

```
    data_out <= data_in;
```

```
end if;
```

```
end process;
```

```
end behv;
```

۱. فلیپ فلاپ T حساس به لبه بالا رونده

۲. فلیپ فلاپ D حساس به لبه بالا رونده

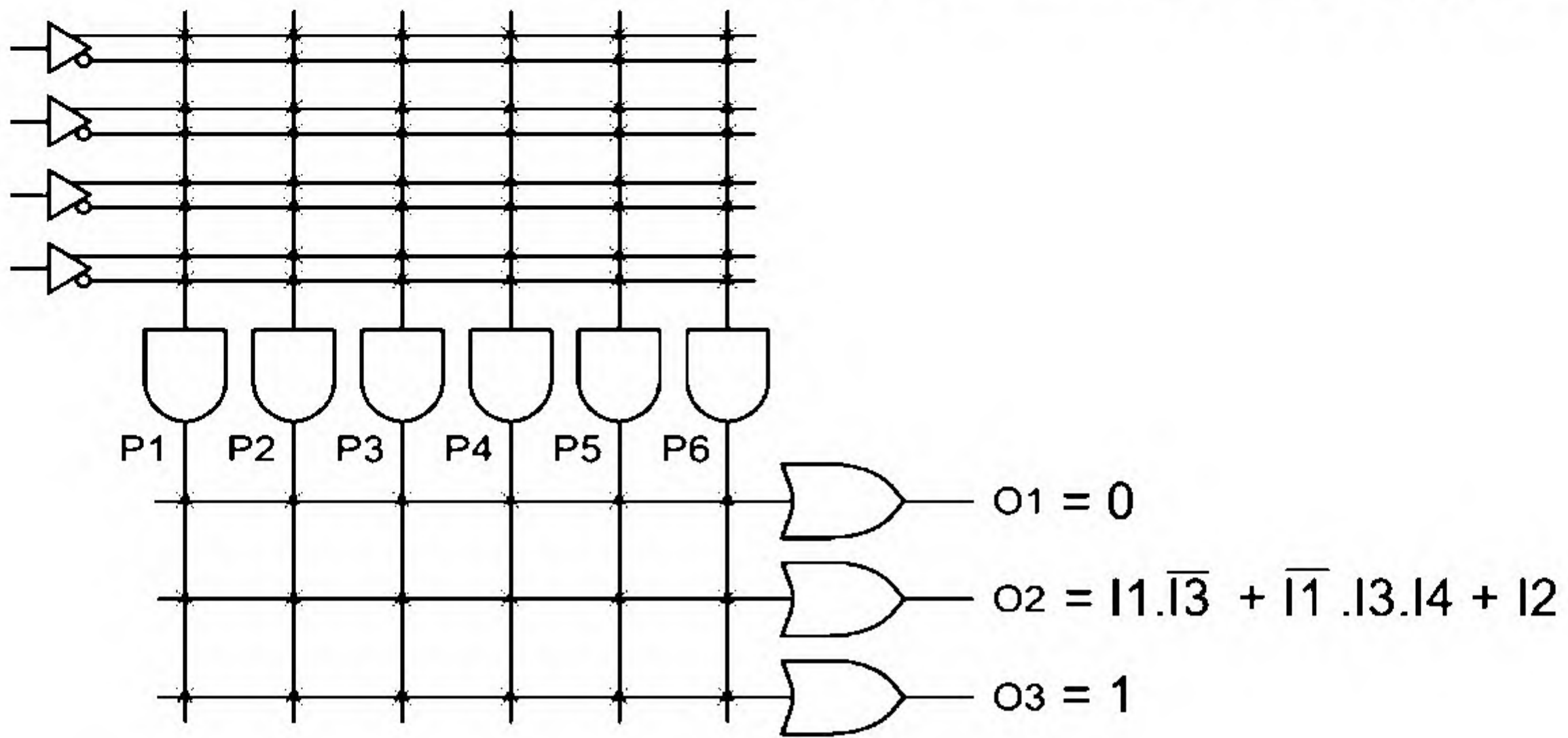
۳. فلیپ فلاپ JK حساس به لبه پایین رونده

۴. فلیپ فلاپ JK حساس به لبه بالا رونده

سوالات تشریحی

۱- مزایای طراحی با استفاده از سخت افزار های برنامه پذیر را نام ببرید.

۲- در PLA شکل زیر برای خروجی های داده شده کدام فیوزها باید متصل بمانند؟



۳- مداری که توسط برنامه VHDL زیر توصیف شده است را رسم کنید.

Entity Exam is

```
port (x, y: in std_logic ;    S1, S2: out std_logic);
```

end Exam;

architecture structural of Exam is

```
signal T: std_logic;
```

```
component AND2
```

```
port ( in1, in2: in std_logic;  
      out1: out std_logic);
```

```
end component;
```

```
component XOR2
```

```
port ( in1, in2: in std_logic;  
      out1: out std_logic);
```

```
end component;
```

begin

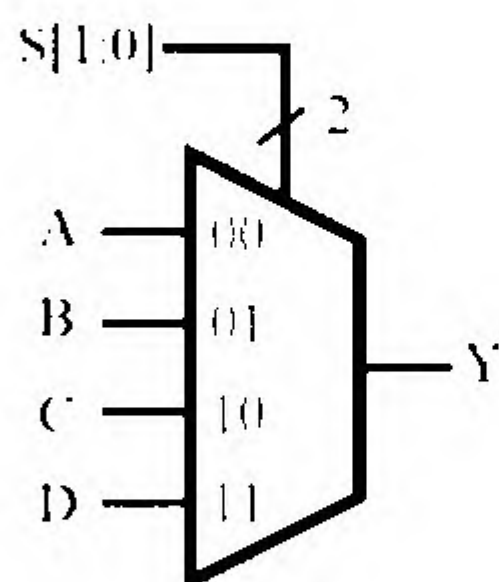
```
U0: XOR2 port map (x, y, S1);
```

```
U1: AND2 port map (x, y, T);
```

```
U2: XOR2 port map (T, S1, S2);
```

end structural;

۴- برنامه VHDL توصیف رفتاری مالتی پلکسر ۴ به ۱ شکل زیر را بنویسید؟



۵- چهار مورد از تفاوت های تراشه های FPGA با تراشه های CPLD را نام ببرید.

شماره سوال	پاسخ صحيح
1	الف
2	ب
3	ب
4	الف
5	د
6	ب
7	د
8	ج
9	د
10	د
11	الف
12	الف
13	ج
14	د
15	ج
16	د
17	د
18	د
19	ج
20	د
21	ج
22	الف
23	ب
24	د
25	ب

سوالات تشریحی

۱- سرعت

امکان استفاده از ابزارهای CAD

استفاده مجدد از کتابخانه های از پیش تعریف شده

امکان کار تیمی

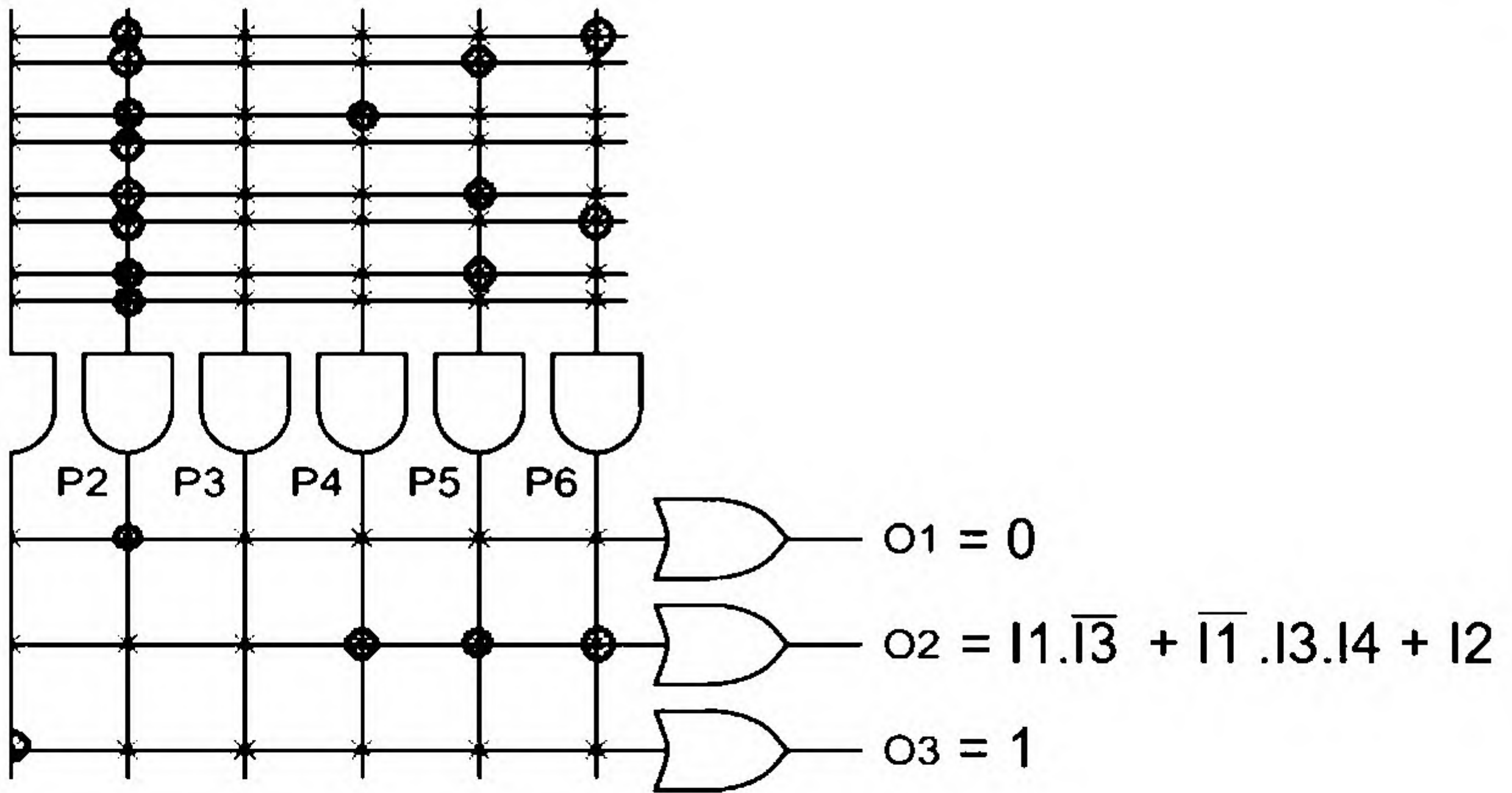
امکان شبیه سازی

مستند سازی و استفاده مجدد

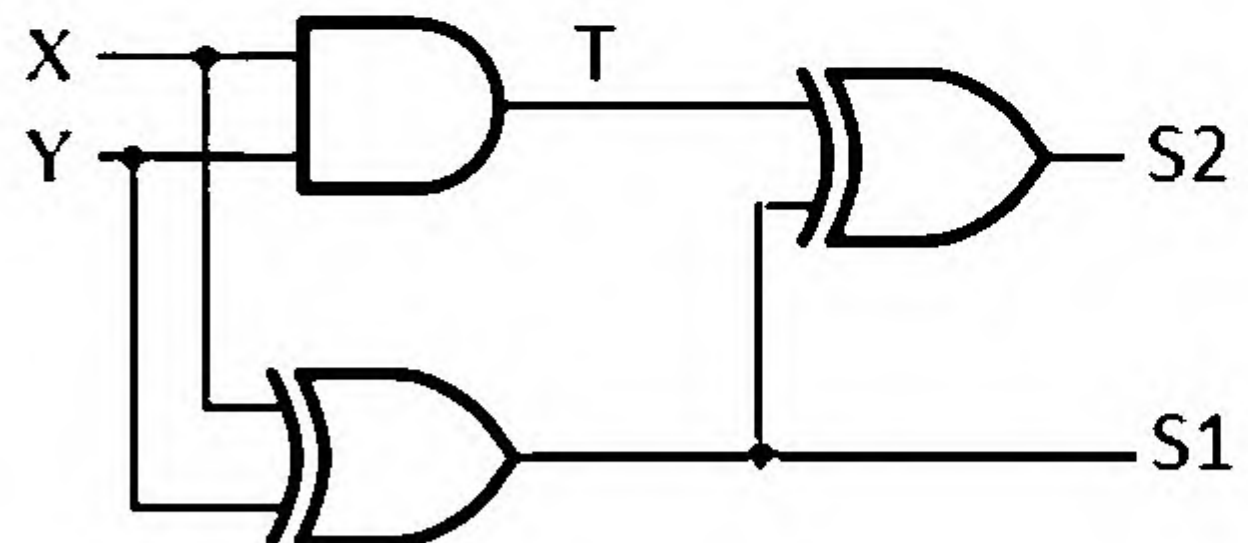
امنیت طرح

امکان ارتقاء

۲-



۳-



q

```

library ieee;
use IEEE.std_logic_1164.all;
-----
entity MUX41 is
port (A, B, C, D: in std_logic;
      S: in std_logic_vector(1 downto 0);
      Y: out std_logic );
end MUX41;
-----
architecture behav of MUX41 is
begin
    Y <= A when S = "00" else
          B when S = "01" else
          C when S = "10" else
          D when S = "11" else
          'X';
end behav;

```

- ۵- ۱. FPGA ها شامل تعداد بیشتری بلوک، فلیپ فلاپ و گیت هستند
۲. FPGA ها عموماً مبتنی بر RAM و CPLD ها مبتنی بر EEPROM هستند
۳. CPLD ها دارای تاخیر انتشاری کمتری نسبت به FPGA
۴. قدرت پردازش FPGA فوق العاده بالا به علت وجود منابع مخصوص جهت طراحی شمارنده ها و توابع محاسباتی خاص
۵. تفاوت سازمان بلوک های برنامه پذیر در FPGA با CPLD

۱- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟ (گزینه ها بصورت (1) - (2) - (3) آمده اند).
یک(1).... از تعداد زیادی(2)..... تشکیل شده اشت و مولدهای تابع منطقی مهمترین عناصر برنامه ریزی(3).....
ها هستند.

- | | |
|-------------------|------------------|
| ۱. CLB- FPGA- CLB | ۲. CLB-CLB-FPGA |
| ۳. FPGA-FPGA-CLB | ۴. FPGA-CLB-FPGA |

۲- مفهوم هم روندی در زبان های توصیف سخت افزار چیست؟

۱. تغییر یک سیگنال به سایر سیگنال ها وابسته است.
۲. ایجاد تاخیر برای انتساب مقدار جدید به همه سیگنال ها به یک میزان است.
۳. دستورالعمل های انتساب سیگنال به صورت هم روند اجرا می شود.
۴. ساختار چند سخت افزار توصیف شده مشابه است.

۳- در طرح های متوسط و پیچیده، بهترین روش برای ساخت نمونه اولیه (از لحاظ هزینه و زمان) کدام است؟

- | | |
|----------------------------------|-------------------------------|
| ۱. استفاده از مدارات برنامه پذیر | ۲. استفاده از روش نیمه سفارشی |
| ۳. استفاده از روش تمام سفارشی | ۴. استفاده از قطعات استاندارد |

۴- کدامیک از انواع حافظه با تابش نور ماوراء بنفش به مدت 5 تا 15 دقیقه پاک می شود؟

- | | | | |
|----------|---------|-----------|----------|
| ۱. NVRAM | ۲. PROM | ۳. EEPROM | ۴. EPROM |
|----------|---------|-----------|----------|

۵- کدام حافظه فقط یکبار قابل برنامه ریزی است؟

- | | | | |
|----------|----------|-----------|---------|
| ۱. UVROM | ۲. EPROM | ۳. EEPROM | ۴. PROM |
|----------|----------|-----------|---------|

۶- کدام عبارت درباره PAL و PLA صحیح است؟

۱. در PLA هر دو طبقه AND و OR و در PAL فقط طبقه AND قابل برنامه ریزی است.
۲. در PLA فقط طبقه AND و در PAL هر دو طبقه AND و OR قابل برنامه ریزی است.
۳. در PLA فقط طبقه AND و در PAL فقط طبقه OR قابل برنامه ریزی است.
۴. در PLA فقط طبقه OR و در PAL هر دو طبقه AND و OR قابل برنامه ریزی است

۷- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

منطق آرایه ای قابل برنامه ریزی ترتیبی (PAL16R8- Sequential PAL)

۱. خروجی تثبیت شده ندارد.
۲. وقتی خروجی ها غیر فعال هستند فلیپ فلاپ های داخلی نمی توانند تغییر وضعیت دهند.
۳. خروجی فلیپ فلاپ ها نمی توانند بدون عبور از بافرهای سه حالت وارد آرایه های AND-OR شوند.
۴. یک سری D فلیپ فلاپ دارد که بین طبقه OR و هشت خروجی قرار گرفته است.

۸- کدامیک از موارد زیر، از تکنولوژی گیت شناور استفاده می کند؟

۱. CMOS PLD ۲. GAL ۳. EPLD ۴. PAL

۹- کدام گزینه صحیح است؟

۱. FPGA نسبت به MPGA انعطاف پذیرتر بوده و برای تولید با تعداد کم نیز مقرون به صرفه تر است.
۲. سرعت MPGA کمتر از FPGA است.
۳. چگالی منطقی FPGA بیشتر از MPGA است.
۴. MPGA در مقایسه با یک FPGA با ظرفیت منطقی یکسان گرانتر است.

۱۰- کدام گزینه مقایسه درستی بین FPGA و CPLD انجام می دهد؟

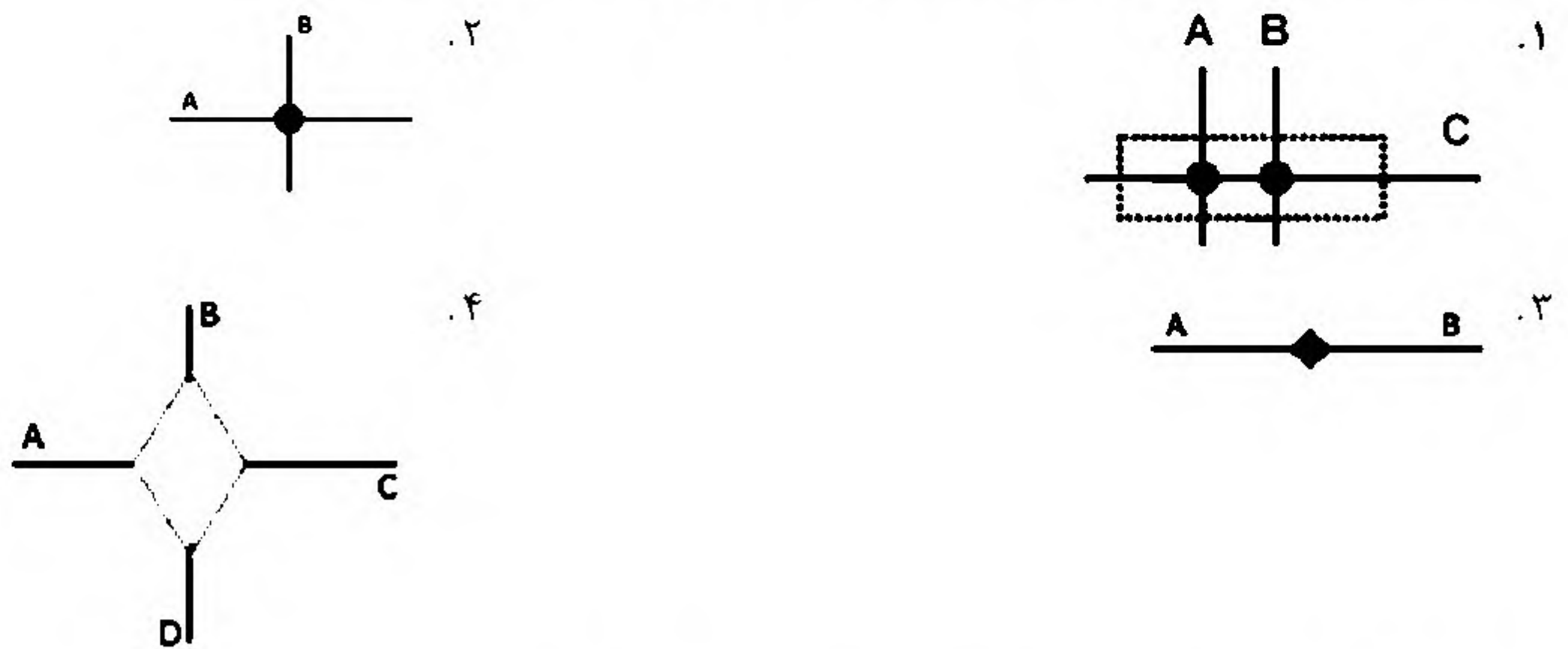
۱. تعداد بلوک ها، فلیپ فلاپ ها و گیت های FPGA نسبت به CPLD ها بیشتر است.
۲. CPLD در مقایسه با FPGA ها، برای طراحی مدارات پیچیده تری به کار می رود.
۳. CPLD مبتنی بر RAM است و با هر بار روشن شدن باید دوباره برنامه ریزی شود.
۴. FPGA دارای تاخیر انتشار کمتری است.

۱۱- توصیف زیر، بیانگر کدام نوع سوئیچ است.

«دو ترانزیستور که با یک سلول ولی بطور معکوس، کنترل می شوند و امکان اتصال یکی از دو رشته سیم را به رشته سیم سوم فراهم می کنند.»

۱. نقطه شکست ۲. نقطه تقلطع ۳. انتخاب کننده ۴. همه سویه

۱۲- کدام گزینه، نمایش سمبل سویچ همه سویه مبتنی بر SRAM را نشان می دهد.

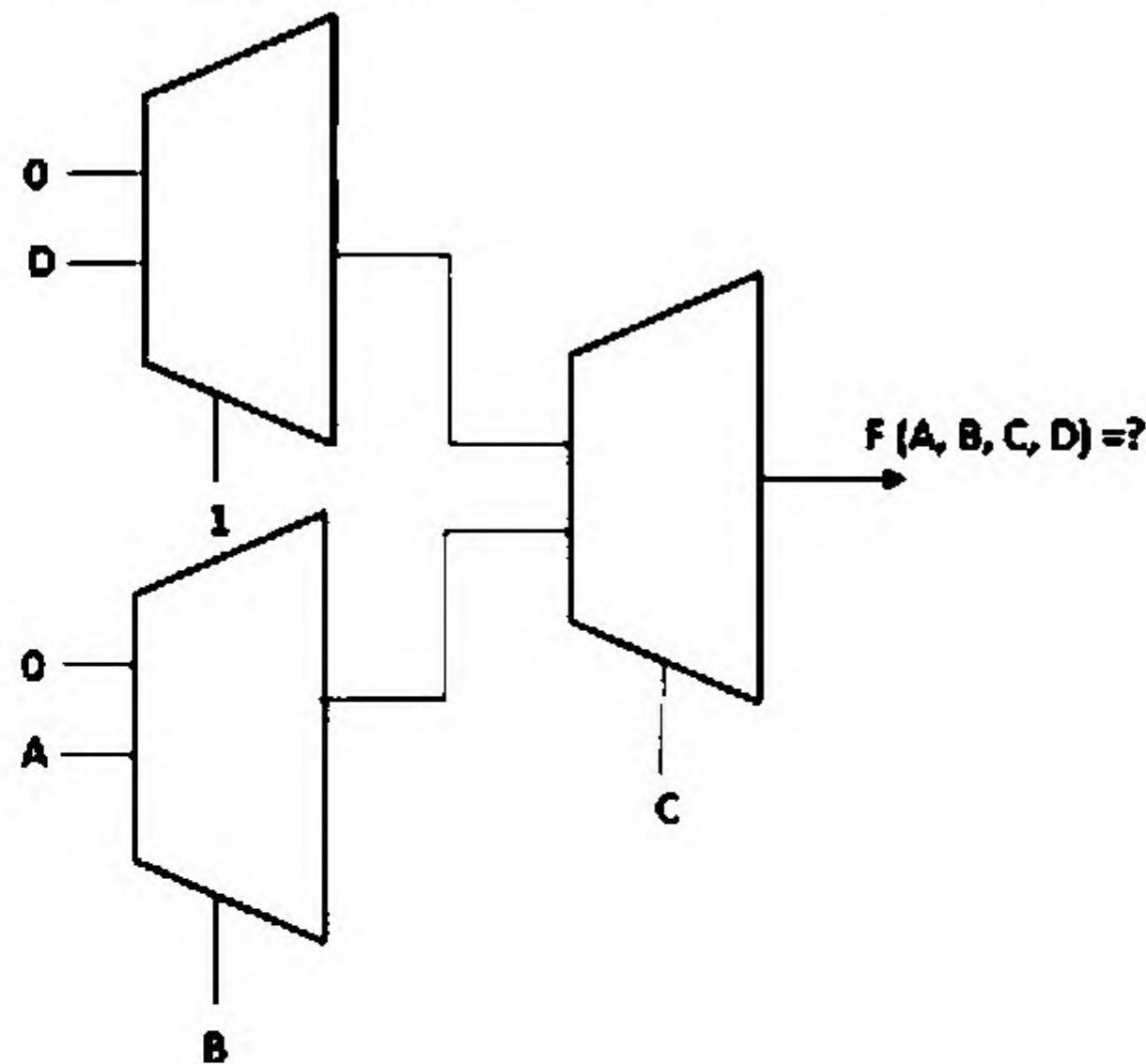


۱۳- کدامیک از انواع سویچ های زیر، مبتنی بر SRAM هستند؟

A- نقطه شکست B- نقطه تقاطع C- همه سویه D- آنتی فیوز E- انتخاب کننده

۱. فقط A,B,C,E ۲. فقط A,B,C,D ۳. فقط A,B,D ۴. فقط A,C,D

۱۴- بر اساس ساختار مبتنی بر انتخاب کننده های MUX، شکل زیر کدام تابع را پیاده سازی می کند.



۱. $F(A, B, C, D) = AB'C$ ۲. $F(A, B, C, D) = AB'C'$ ۳. $F(A, B, C, D) = CD + AB'C'$ ۴. $F(A, B, C, D) = C'D + ABC$

۱۵- توصیف زیر، کدام آرایش بلوک های منطقی برنامه پذیر FPGAها را بیان می کند.

«یکسری دروازه منطقی با قابلیت اتصال به یکدیگر که در یک سطح قرار گرفته و اتصالات قابل برنامه ریزی بصورت یک لایه روی آن را پوشانده است.»

۱. آرایه متقارن ۲. ساختار سطری ۳. PLD سلسله مراتبی ۴. انبوه دروازه ها

۱۶- کدام گزینه در مورد entity درست است؟

۱. تعریف entity با کلمه رزرو شده entity شروع می شود.
۲. entity نمی تواند ورودی و خروجی داشته باشد.
۳. ارتباط entity با دنیای خارج به mode آن بستگی دارد.
۴. Generic فیلد اجباری است و می تواند true یا false باشد.

۱۷- کدام گزینه شناسه غیر معتبری در زبان VHDL است؟

۱. My_gate ۲. Gate-input ۳. X10 ۴. X_10

۱۸- مدل زیر برای تعریف چه نوع داده ای به کار می رود؟

Type type_name is (identifier list or character literal);

۱. سیگنال ۲. فیزیکی ۳. مجموعه ۴. شمارشی

۱۹- با فرض اینکه مقدار اولیه متغیر A برابر 101011 باشد، بعد از عمل شیفت A Sll 2 ، مقدار متغیر A برابر خواهد بود با :

۱. 001010 ۲. 101100 ۳. 011010 ۴. 010110

۲۰- در VHDL کدام نوع تاخیر برای مدل کردن تاخیر خطوط سیمی در بردها و المانهای تاخیر در مدارات و تاخیر مسیر سیگنال ها در داخل IC ها استفاده می شود؟

۱. تاخیر لختی ۲. تاخیر انتقال ۳. تاخیر سیگنالیینگ ۴. تاخیر ترکیبی

۲۱- در کدام ساختار VHDL می توان از قطعه کد زیر استفاده کرد؟

```
if x<y then  
    return y;  
else  
    return x;  
end if;
```

۱. process

۲. function

۳. generic

۴. procedure

۲۲- قطعه برنامه زیر توصیف کننده رفتار کدام مدار ترکیبی است؟

```
process (I3,I2,I1,I0,sel)  
begin  
    case sel is  
        when "00" => Out<=I0;  
        when "01" => Out<=I1;  
        when "10" => Out<=I2;  
        when "11" => Out<=I3;  
        when others => Out<="ZZZ";  
    end case;  
end process;
```

۱. آنکدر

۲. دیکدر

۳. مالتی پلکسر

۴. دی مالتی پلکسر

۲۳- در نرم افزار MAX+PLUS II، کدام ویرایشگر ابزاری را برای وارد کردن بردارهای تست و مشاهده نتایج شبیه سازی فراهم می کند؟

۱. ویرایشگر پایه

۲. ویرایشگر گرافیکی

۳. ویرایشگر شکل موج

۴. ویرایشگر سمبل

۲۴- طراحی خودکار مدار به چه معنی است؟

۱. از ربات ها برای طراحی استفاده می شود.
۲. طراحی مدار بدون استفاده از نیروی انسانی انجام می شود.
۳. طراحی مدار با استفاده از یک نرم افزار مناسب انجام می شود.
۴. طراحی مدار با استفاده از عامل های هوشمند غیر انسانی انجام می شود.

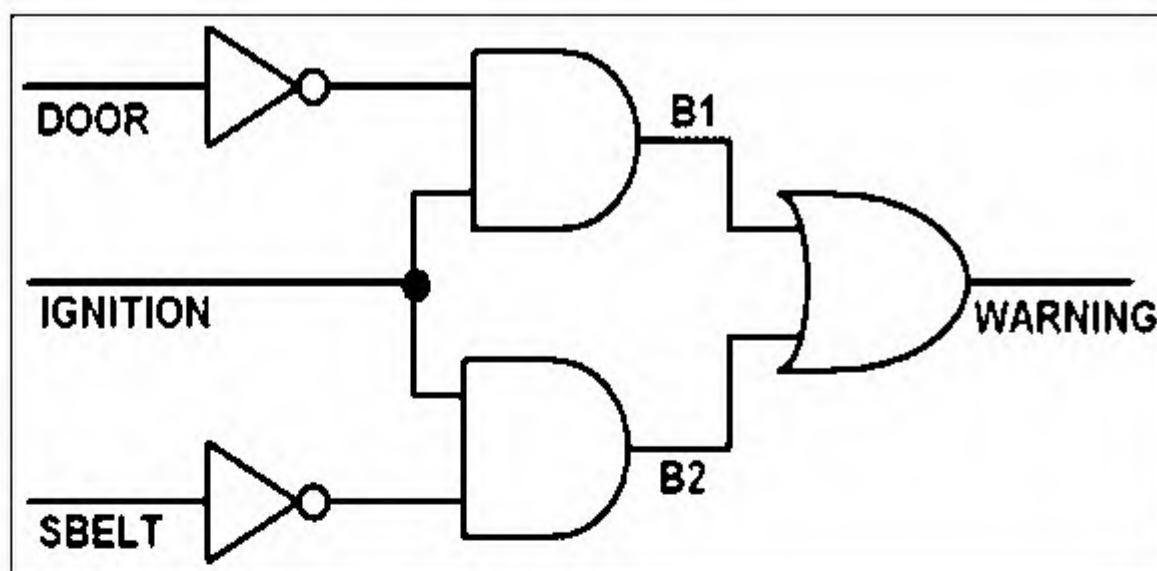
۲۵- بالاترین سطح انتزاع کدام است؟

۱. سیستم
۲. منطقی
۳. ریز معماری
۴. معماری

سوالات تشریحی

۱- المان سویچ برنامه پذیر (PSE) چیست؟ با رسم شکل نشان دهید و 4 حالت از حالات اتصالاتی ممکن را رسم کنید.

۲- برنامه توصیف رفتاری و ساختاری مدار زیر را بنویسید.



۳- قالب کلی موارد زیر را بنویسید:

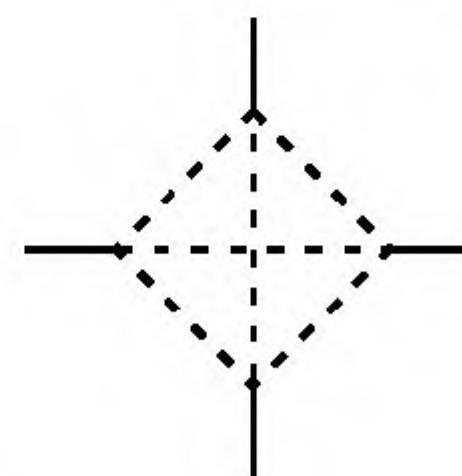
- الف) دستور انتساب سیگنال همروند ساده
- ب) تعریف مولفه (Component) شامل نام مولفه و واسط ها
- ج) عملیات خواندن و تشخیص انتهای فایل

شماره سوال	پاسخ صحیح
1	ب
2	ج
3	الف
4	د
5	د
6	الف
7	د
8	ج
9	الف
10	الف
11	ج
12	د
13	الف
14	د
15	د
16	الف
17	ب
18	د
19	ب
20	ب
21	ب
22	ج
23	ج
24	ج
25	الف

سوالات تشریحی

۱- المان سویچ قابل برنامه ریزی

صفحه 94 تا 95



و حالت های اتصال در شکل 3-28، ج در صفحه 95 کتاب آمده است.

۲- پاسخ در صفحه 109 منبع درسی

۳- پاسخ در صفحات 157 و 152 و 172 منبع درسی